

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 0 日
Date of Application:

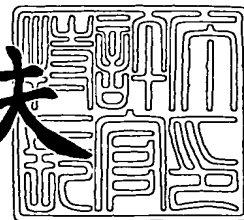
出 願 番 号 特 願 2 0 0 3 - 0 6 3 5 5 8
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 6 3 5 5 8]

出 願 人 富士通株式会社
Applicant(s):

2 0 0 3 年 9 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 3 4 7 8

【書類名】 特許願

【整理番号】 0241504

【提出日】 平成15年 3月10日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01G 4/33
H01L 27/00

【発明の名称】 薄膜キャパシタ素子、その製造方法及び電子装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 塩賀 健司

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 ジョン デイビット ベネキ

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 倉科 守

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 栗原 和明

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100086276

【弁理士】

【氏名又は名称】 吉田 維夫

【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜キャパシタ素子、その製造方法及び電子装置

【特許請求の範囲】

【請求項 1】 基板と、その基板の上に形成された、誘電体層を下部電極層及び上部電極層で挟んで構成されたキャパシタ構造体とを含む薄膜キャパシタ素子であって、

前記キャパシタ構造体の上部が硬化樹脂からなる少なくとも 1 層の絶縁保護膜で被覆されているとともに、前記硬化樹脂が、熱硬化性樹脂、光硬化性樹脂及び熱可塑性樹脂からなる群から選ばれた少なくとも 1 種類の樹脂前駆体から形成されたものであることを特徴とする薄膜キャパシタ素子。

【請求項 2】 前記樹脂前駆体の硬化時、その樹脂前駆体から放出せしめられた水分の量が、当該樹脂前駆体の 0.01 重量%以下であることを特徴とする請求項 1 に記載の薄膜キャパシタ素子。

【請求項 3】 前記硬化樹脂が、エポキシ樹脂、ビスマレイミド・トリアジン樹脂、ポリテトラフルオロエチレン樹脂、ベンゾシクロブテン樹脂、アクリル樹脂及びジアリルフタレート樹脂からなる群から選ばれた少なくとも 1 種類の樹脂であることを特徴とする請求項 1 又は 2 に記載の薄膜キャパシタ素子。

【請求項 4】 前記キャパシタ構造体において、前記誘電体層が、Sr, Ba, Pb, Zr, Bi, Ta, Ti, Mg 及び Nb からなる群から選ばれた少なくとも 1 種類の金属を含む複合金属酸化物からなることを特徴とする請求項 1～3 のいずれか 1 項に記載の薄膜キャパシタ素子。

【請求項 5】 前記下部電極層が、遷移金属、貴金属、貴金属の合金、貴金属と非貴金属の合金、導電性酸化物及びその組み合わせもしくは混合物からなる群から選ばれた少なくとも 1 種類の材料を含むことを特徴とする請求項 1～4 のいずれか 1 項に記載の薄膜キャパシタ素子。

【請求項 6】 前記上部電極層が、遷移金属、貴金属、貴金属の合金、貴金属と非貴金属の合金、導電性酸化物及びその組み合わせもしくは混合物からなる群から選ばれた少なくとも 1 種類の材料を含むことを特徴とする請求項 1～5 のいずれか 1 項に記載の薄膜キャパシタ素子。

【請求項 7】 基板と、その基板の上に形成された、誘電体層を下部電極層及び上部電極層で挟んで構成されたキャパシタ構造体とを含む薄膜キャパシタ素子を製造する方法であって、

基板上に前記キャパシタ構造体を形成した後、前記上部電極層の上に熱硬化性樹脂、光硬化性樹脂及び熱可塑性樹脂からなる群から選ばれた少なくとも 1 種類の樹脂前駆体を塗布し、さらにそれを硬化させて少なくとも 1 層の絶縁保護膜を形成することを特徴とする薄膜キャパシタ素子の製造方法。

【請求項 8】 前記樹脂前駆体の硬化時、その樹脂前駆体から放出せしめられる水分の量を当該樹脂前駆体の 0.01 重量%以下に抑えることを特徴とする請求項 7 に記載の薄膜キャパシタ素子の製造方法。

【請求項 9】 前記絶縁保護膜を、エポキシ樹脂、ビスマレイミド・トリアジン樹脂、ポリテトラフルオロエチレン樹脂、ベンゾシクロブテン樹脂、アクリル樹脂及びジアリルフタレート樹脂からなる群から選ばれた少なくとも 1 種類の硬化樹脂から形成することを特徴とする請求項 7 又は 8 に記載の薄膜キャパシタ素子の製造方法。

【請求項 10】 少なくとも 1 個の電子素子及び少なくとも 1 個の、請求項 1～6 のいずれか 1 項に記載の薄膜キャパシタ素子を含んでなることを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、キャパシタ素子に関し、さらに詳しく述べると、絶縁保護膜の改良を通じて、外部環境からの吸水や吸湿を防止できるとともに、電気特性の劣化や電極間のショートも防止できるようになった薄膜キャパシタ素子及びその製造方法に関する。本発明はまた、本発明の薄膜キャパシタ素子を搭載した電子装置に関する。

【0002】

【従来の技術】

近年の L S I の高速化により、デカップリングキャパシタの高周波追随性能の

向上が望まれており、キャパシタ素子の低インダクタンス化のために微細加工性を容易にし、容量を増大するために誘電体層の厚さを薄くする技術を導入した薄膜キャパシタ素子が提案されている。薄膜キャパシタ素子は、シリコン基板などの支持基板上に金属及び金属酸化物を堆積させる薄膜プロセスにより製造されている。ここで、大容量のキャパシタ素子を実現するため、高い比誘電率をもつ複合酸化物誘電体材料を使用して誘電体層を形成することが行われている。さらに、電極層の形成のため、白金（Pt）やイリジウム（Ir）などの貴金属が電極材料として使用されている。これらの電極材料は、誘電体層の成膜時における比較的高温の環境に対応できる程度に耐酸化性に優れ、また、誘電体材料の結晶配向性を制御することができるからである。

【0003】

従来の方法の場合、周知の通り、シリコン基板上に下部電極層、誘電体層、上部電極層を順に形成して薄膜キャパシタ素子を製造している。また、はんだバンプによるフリップチップ接続を想定して、下部電極層、誘電体層及び上部電極層からなるキャパシタ構造体の形成後、上部電極層及び下部電極層との電氣的接続のためにはんだバンプを形成することが一般的に行われている。さらに、バンプ形成工程の前に、感光性ポリイミドなどの有機樹脂材料を使用して、キャパシタ構造体のための絶縁保護膜を形成することも一般的に行われている。

【0004】

バンプ形成工程では、絶縁保護膜に予め定められたパターンでコンタクトホールを形成した後、はんだ濡れ性を向上させ、かつこの工程での熱による下地金属（キャパシタ電極）へのはんだ拡散とそれによる反応の発生を防止するために、Cr、Ti、Cu、Niのようなバリアメタルをコンタクトホールの内壁などに被覆する。その後、上部電極層及び下部電極層の引き出しプラグとしての役割を果たす金属材料（例えば、Cu）をめっきなどで成膜する。最後に、はんだをめっきによって成膜し、目的のはんだバンプを形成する。このとき、絶縁保護膜の樹脂材料は、キャパシタ電極へ伝播するバリアメタルの応力を緩和するために、電極に対してのバッファ層としても機能している。

【0005】

しかし、このようにして作製された薄膜キャパシタ素子では、はんだリフロー工程で還元雰囲気下に曝されたり、外部環境からの吸水及び吸湿を伴うことがしばしばであるので、誘電体の電気特性が劣化を引き起こし、上部電極層と下部電極層の間でショートを誘発することが問題となっている。特に電極材料として白金(Pt)を使用する場合、Ptが水素を容易に透過させ、また、水に対する触媒作用により水素を発生させるので、この問題が顕著である。

【0006】

上述のような問題を回避する方法もすでに提案されている。例えばFRAM（強誘電体メモリ）の場合、水素などの還元性気体の透過拡散を防止するために、アルミニウム、シリコンもしくはチタンの窒化物薄膜を保護膜としてキャパシタ表面に被覆することが提案されている（特許文献1）。また、吸水による特性劣化を防止する保護膜として、水と反応して硬化する金属有機化合物（シリコンアルコキシド類）を使用することが提案されている（特許文献2）。

【0007】

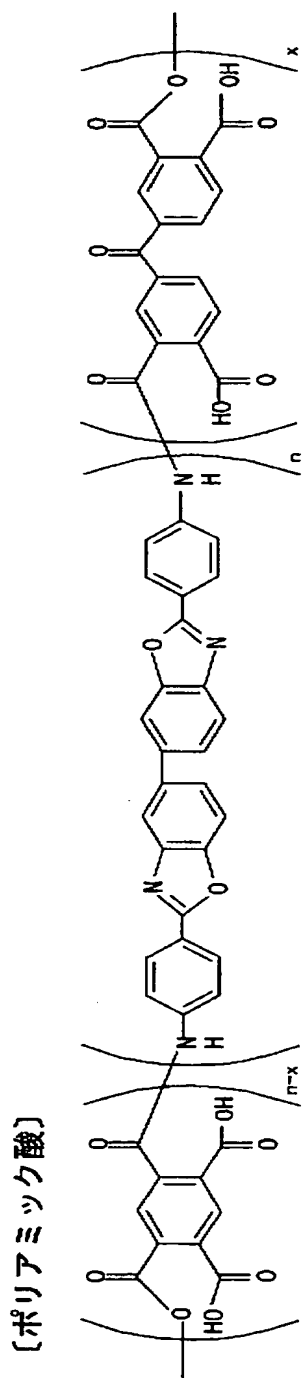
上記したような従来の保護膜は、キャパシタ素子がFRAMのような半導体装置の内部に組み込まれる際には有効であるが、キャパシタ単体部品としてはんだバンプによるフリップチップ接続を行なうことを想定すると、はんだバンプからの応力の緩和を期待できず、特性が劣化してしまうという問題を避けることができない。

【0008】

一方、フリップチップ接続を行なえる構造をもった薄膜キャパシタ素子において、例えば感光性ポリイミド樹脂のような有機樹脂材料を保護膜として使用することも提案されている（特許文献3）。しかし、感光性ポリイミド樹脂の場合、その熱硬化の際に酸無水物とジアミンが脱水縮重合反応し水を放出する。すなわち、出発物質として使用されるポリイミド前駆体は、例えば次式によって表されるように、酸無水物とジアミンがポリアミック酸となっている。

【0009】

【化1】



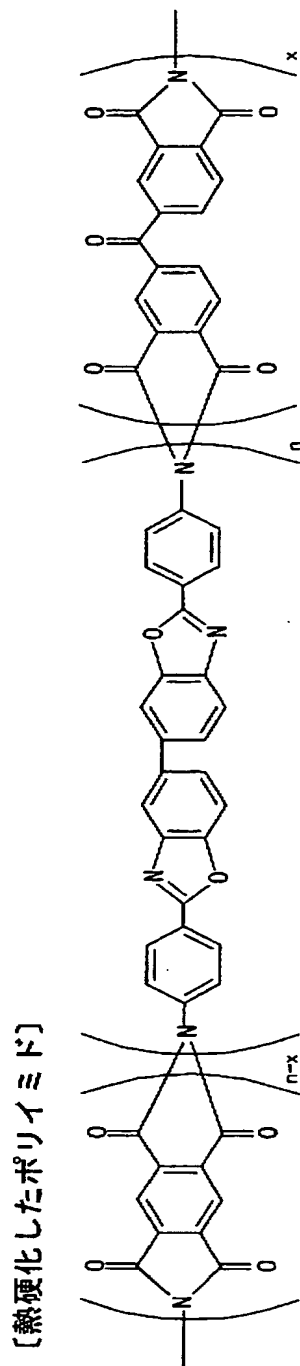
【0010】

また、ポリイミド前駆体は、通常、溶剤に溶解させた液体の状態(ワニス)で市販されている。保護膜の形成のため、このワニスを基板の上にスピンコート法など

により塗布し、成膜する。次いで、ポリイミド前駆体の塗膜を例えば 350～400℃の温度に加熱して熱硬化させる。この熱硬化反応によって、酸無水物とジアミンの間で脱水縮重合反応が発生し、閉環反応及び水（H₂O）の放出を伴って、次式によって表される熱硬化したポリイミドが生成する。

【0011】

【化 2】



【0012】

しかし、このような保護膜形成反応で発生する水は、得られる薄膜キャパシタ素子の特性を劣化させるという重要な問題を抱えている。すなわち、保護膜形成

中に放出された水が、その保護膜に隣接して形成された電極層（例えばPt）と接触することが可能であるからである。水が電極層に接触した場合、Ptの触媒作用により水の水素原子が電極層中に進入し、誘電体層と電極層との界面において誘電体酸化物に酸素欠損が生じる。酸素欠損は、得られる薄膜キャパシタ素子の誘電特性及びリーク（漏洩）電流特性に大きな影響を与えることが可能である。図1及び図2は、感光性ポリイミド樹脂を薄膜キャパシタの保護膜として使用した場合のこれらの問題点を説明するためのものであり、それぞれ、感光性ポリイミド樹脂で保護膜を成膜した前後のC-V（静電容量-印加電圧）特性及びD-V（誘電損失-印加電圧）特性をプロットしている。図中、曲線Iは、ポリイミド樹脂からなる保護膜を形成する前の特性曲線であり、曲線IIは、ポリイミド樹脂からなる保護膜を形成した後の特性曲線である。なお、ここで特性評価のために作製した薄膜キャパシタ素子の場合、シリコン基板上に常法に従って白金（Pt）から下部電極層及び上部電極層を形成し、また、誘電体酸化物（Ba,Sr）TiO₃（以下、BSTともいう）から誘電体層を形成した。ポリイミド保護膜は、感光性ポリイミド樹脂のワニスを、例えば3000rpmで30秒間スピコートを行ない、4μmの膜厚で成膜することによって形成した。次いで、ポリイミド樹脂の塗膜を60℃の温度で10分間にわたって加熱（プリベーク）し、その後、露光、現像工程を経て、400℃の温度で2時間にわたって加熱（本ベーク）を行なった。2μm厚のポリイミド樹脂からなる絶縁保護膜が得られた。図1及び図2から理解されるように、ポリイミド樹脂の成膜により保護膜を形成した後は、誘電体酸化物の変化に伴う明らかな特性異常が観察され、誘電損失が増加している。

【0013】

【特許文献1】

特開平7-111318号公報（特許請求の範囲）

【特許文献2】

特開平7-273297号公報（特許請求の範囲）

【特許文献3】

特開2002-280261号公報（特許請求の範囲）

【0014】**【発明が解決しようとする課題】**

本発明は、上記のような従来の技術の問題点を解決することを目的とする。

【0015】

本発明の目的は、保護膜形成のための樹脂硬化中に発生する水による特性劣化がなく、また、したがってバリア層の存在も必要としない薄膜キャパシタ素子を提供することにある。

【0016】

また、本発明の目的は、外部環境からの吸水や吸湿を防止できるとともに、電気特性の劣化や電極間のショートも防止できる薄膜キャパシタ素子を提供することにある。

【0017】

さらに、本発明の目的は、素子の吸水や吸湿を防止でき、特性劣化やショートの問題を有しない薄膜キャパシタ素子を高信頼性及び高歩留まりで製造できる方法を提供することにある。

【0018】

さらにまた、本発明の目的は、素子の吸水や吸湿の問題、そして特性劣化やショートの問題がない薄膜キャパシタ素子を備えた高性能な電子装置を提供することにある。

【0019】

本発明の上記したような目的やその他の目的は、以下の詳細な説明から容易に理解することができるであろう。

【0020】**【課題を解決するための手段】**

本発明は、その1つの面において、基板と、その基板の上に形成された、誘電体層を下部電極層及び上部電極層で挟んで構成されたキャパシタ構造体とを含む薄膜キャパシタ素子であって、

前記キャパシタ構造体の上部が硬化樹脂からなる少なくとも1層の絶縁保護膜で被覆されているとともに、前記硬化樹脂が、熱硬化性樹脂、光硬化性樹脂及び

熱可塑性樹脂からなる群から選ばれた少なくとも 1 種類の樹脂前駆体から形成されたものであることを特徴とする薄膜キャパシタ素子にある。

【0021】

また、本発明は、そのもう 1 つの面において、基板と、その基板の上に形成された、誘電体層を下部電極層及び上部電極層で挟んで構成されたキャパシタ構造体とを含む薄膜キャパシタ素子を製造する方法であって、

基板上に前記キャパシタ構造体を形成した後、前記上部電極層の上に熱硬化性樹脂、光硬化性樹脂及び熱可塑性樹脂からなる群から選ばれた少なくとも 1 種類の樹脂前駆体を塗布し、さらにそれを硬化させて少なくとも 1 層の絶縁保護膜を形成することを特徴とする薄膜キャパシタ素子の製造方法にある。

【0022】

さらに、本発明は、そのもう 1 つの面において、少なくとも 1 個の電子素子及び少なくとも 1 個の、本発明による薄膜キャパシタ素子を含んでなることを特徴とする電子装置にある。

【0023】

上記説明及び以下において詳細に説明するように、本発明では、薄膜キャパシタ素子の中心をなすキャパシタ構造体の上に、吸水性及び吸湿性の面で問題をかかえたポリイミド樹脂やその他の被膜に代えて、特定の硬化樹脂を積層して絶縁保護膜を形成すること及び、その際、バリア層のような耐水性の被膜をキャパシタ構造体と絶縁保護膜の間に介在させないで、絶縁保護膜を直にキャパシタ構造体に積層すること、を特徴としている。本発明で絶縁保護膜の形成に使用する特定の硬化樹脂は、その硬化及び乾燥中に水を放出しないため、もしくは水発生量がきわめて少ないために、誘電体層を形成する BST などのような誘電体酸化物の水素による還元劣化(酸素欠損の発生)を防止することができる。

【0024】

図 3 は、先に参照した図 1 及び図 2 の特性曲線にならって、本発明の薄膜キャパシタ素子において特定のエポキシ樹脂を保護膜に使用した場合の、C-V（静電容量-印加電圧）特性及び D-V（誘電損失-印加電圧）特性をあわせてプロットしたグラフである。このグラフは、下記の実施例 1 の特性評価試験で得られ

た結果であり、図中、曲線 I (C) 及び II (C) は、それぞれ、エポキシ樹脂からなる保護膜を形成する前と後の C-V 特性を表し、また、曲線 I (D) 及び II (D) は、それぞれ、エポキシ樹脂からなる保護膜を形成する前と後の D-V 特性を表す。図 3 の 4 種類の曲線から理解するように、図 1 及び図 2 の場合とは対照的に、エポキシ樹脂を塗布した前後で、素子特性における変化がほとんど認められない。このような注目すべき結果から、次のようなことが考察される：エポキシ環は、高い歪みをもつため高反応性であり、求核種と容易に開環付加反応を起こし硬化(高分子量化と架橋の生成)する。この時、エポキシ樹脂は硬化中に水を発生しないので、水による Pt 電極での水素発生を抑制することができる。

【0025】

本発明に従いこのような絶縁保護膜を薄膜キャパシタ素子で使用することで、電極／誘電体界面への水素の進入を防ぐことにより、誘電体材料の特性劣化を抑制し、薄膜キャパシタ素子の耐還元性及び耐湿性の向上に寄与することができる。

【0026】

【発明の実施の形態】

以下、添付の図面を参照しながら、本発明をその好ましい実施の形態について説明する。なお、本発明は、下記の実施の形態に限定されるものではなく、本発明の範囲内でいろいろに改良もしくは変更することができる。

【0027】

本発明によるキャパシタ素子は、薄膜タイプのキャパシタ素子であり、好ましくは、2つもしくはそれ以上のキャパシタ（キャパシタ素子）を一体化した製品の形で使用される。基本的に、本発明のキャパシタ素子は、基板と、その基板の上に形成されたキャパシタ構造体とを含んで構成され、また、キャパシタ構造体は、下部電極（下部電極層）、下部電極層上に形成された誘電体層及び誘電体層上に形成された上部電極（上部電極層）から構成される。本発明のキャパシタ素子は、そのキャパシタ構造体の上面をエポキシ樹脂等からなる絶縁保護膜で被覆したことを特徴とする。

【0028】

本発明の好ましい 1 実施形態による薄膜キャパシタ素子の簡単な構成例は、図 4 に示す通りである。図示されるように、キャパシタ素子 10 は、例えばシリコン基板のような基板 1 を有し、また、この基板 1 の上には、キャパシタ構造体 11 が作り込まれている。キャパシタ構造体 11 は、基板の側から順に、例えば Pt 電極のような下部電極層 2、例えば (Ba, Sr)TiO₃ 層のような誘電体層 3、そして Pt 電極のような上部電極層 4 を有している。

【0029】

また、キャパシタ構造体 11 の上面は、例えばエポキシ樹脂のような本発明による絶縁性硬化樹脂から形成された絶縁保護膜 5 で保護されている。絶縁保護膜 5 は、その成膜中、すなわち、硬化及び乾燥工程において水分を放出することが実質的になく、もしもあったとしても、高々 0.01 重量%もしくはそれ以下のレベルである。したがって、図示のキャパシタ素子 10 の場合、絶縁保護膜 5 とキャパシタ構造体 11 の間に従来の技術で慣用の防湿性あるいは耐湿性のバリア層を設けることは不要である。すなわち、好ましいことに、本発明のキャパシタ素子の場合、キャパシタ構造体の上に絶縁保護膜を直に被覆することができる。

【0030】

さらに、絶縁保護膜 5 にはコンタクトホール 6 及び 16 が開口されており、それぞれのコンタクトホールには導体金属、例えば銅 (Cu) が充填されている。コンタクトホール 6 及び 16 の最上面は、それぞれ、電極パッド 6a 及び 16a を有している。電極パッド 6a 及び 16a には、それぞれ、半導体素子（例えば、LSI チップ）20 のフリップチップ接続のためのはんだバンプ 7 及び 17 が形成されている。また、ここでは図示しないけれども、キャパシタ素子は、もしも必要ならば、1 層もしくはそれ以上の追加の層を任意の適当な位置に有していてもよい。

【0031】

本発明の薄膜キャパシタ素子において、キャパシタ構造体の上には 1 層もしくは 2 層以上の絶縁保護膜が本発明に従い積層される。絶縁保護膜の形成に使用される硬化樹脂は、従来の薄膜キャパシタ素子のようになぜであってもよいというわけではなく、

(1) 熱硬化性樹脂、光硬化性樹脂及び熱可塑性樹脂からなる群から選ばれた少なくとも1種類の樹脂前駆体から形成されたものであること(熱可塑性樹脂の場合、通常、感光剤が併用されるであろう)、及び

(2) 樹脂前駆体の硬化時、その樹脂前駆体から放出せしめられた水分の量が、実質的に測定されない程度にネグリジブルであるか、もしも放出されたとしても、当該樹脂前駆体の0.01重量%以下の微量であること、が必要である。

【0032】

また、本発明の薄膜キャパシタ素子をフリップチップ構造をもった半導体装置などの製造に利用することを考慮した場合、硬化樹脂は、はんだバンプからの応力を緩和できる機能をそなえていることが好ましい。

【0033】

本発明の実施において、絶縁保護膜の形成に有用な硬化樹脂は、以下に列挙するものに限定されるわけではないけれども、エポキシ樹脂、ビスマレイミド・トリアジン(BT)樹脂、ポリテトラフルオロエチレン(PTFE)樹脂、ベンゾシクロブテン(BCB)樹脂、アクリル樹脂、ジアリルフタレート樹脂などを包含する。これらの樹脂は、単独で使用してもよく、2種以上を混合もしくは組み合わせて使用してもよい。

【0034】

絶縁保護膜は、単層の形で使用してもよく、さもないければ、2層以上の多層構造体の形で使用してもよい。いずれの場合にも、絶縁保護膜の厚さは広い範囲で変更することができ、好ましくは、約0.01~1,000 μ mの範囲であり、さらに好ましくは、約0.01~100 μ mの範囲である。

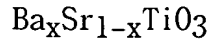
【0035】

キャパシタ構造体は、誘電体層を必須の構成要素として有する。本発明の実施において、誘電体層は、特に限定されるものではなく、公知の誘電体材料、好ましくは例えばABO₃型の複合金属酸化物から形成することができる。ここで使用する複合金属酸化物は、好ましくは、約10~1,000のオーダーの誘電率を有している。また、誘電体層の形成に好適な複合金属酸化物は、Sr, Ba, Pb,

Zr, Bi, Ta, Ti, Mg及びNbからなる群から選ばれた少なくとも1種類の金属を含む複合金属酸化物である。

【0036】

誘電体層は、例えば、次式により表される複合金属酸化物：

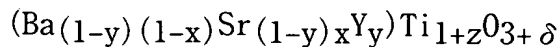


(式中、 $0 < x < 1$ である) から有利に形成することができる。

【0037】

また、誘電体層は、次式により表される複合金属酸化物からも有利に形成することができる。

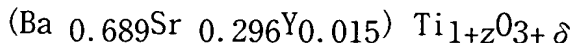
【0038】



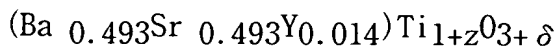
上式において、 $0 < x < 1$ であり、 $0.007 < y < 0.02$ であり、 $-1 < \delta < 0.5$ であり、そして
 $(\text{Ba}(1-y)(1-x) + \text{Sr}(1-y)_x)/\text{Ti}_{1+z} < 1$ である。

【0039】

さらに好ましくは、上式により表される複合金属酸化物は、次式：



(式中、 $0.02 < z < 0.05$ 及び $-0.3 < \delta < 0.3$ である) あるいは次式：



(式中、 $0.02 < z < 0.05$ 及び $-0.3 < \delta < 0.3$ である) によって表すことができる。

【0040】

誘電体層は、キャパシタ素子、電子装置などの構成やその他のファクタに応じていろいろな厚さを有することができる。誘電体層の厚さは、一般的には約1～3,000nmの範囲であり、好ましくは約10～300nmの範囲である。

【0041】

本発明のキャパシタ素子において、基板は、任意の適当な材料から形成することができる。基板は、電気絶縁性の材料から形成することが好ましい。適当な絶縁性の材料は、以下に列挙するものの限定されるわけではないけれども、ガラス、半導体材料、樹脂材料などを包含する。また、基板の厚さは、広い範囲で変更することができるけれども、好ましくは、約1～1,000 μm の範囲であり、

さらに好ましくは、約 $100 \sim 500 \mu\text{m}$ の範囲である。

【0042】

本発明の実施に当たっては、特に半導体材料もしくはウエハを絶縁性の基板として有利に使用することができる。ここで、半導体材料もしくはウエハは、いろいろな材料から形成することができるが、Si, Ge, SiGe, GaAs, InAs, InP 及び周期律表の第III族及び第V族の元素から誘導されたその他の化合物からなる群から選ばれる少なくとも1種類の材料を含むことが好ましい。

【0043】

さらに、キャパシタ素子は、基板とキャパシタ構造体の間に密着層（接着層ともいう）をさらに含んでいてもよい。密着層には、基板とキャパシタ構造体の間の結合強度を増加させるなどの働きがある。密着層は、いろいろな材料から形成することができるけれども、貴金属、貴金属の合金、貴金属と非貴金属の合金、貴金属の導電性酸化物、絶縁性の金属酸化物、絶縁性の金属窒化物、導電性の金属窒化物及びその組み合わせもしくは混合物からなる群から選ばれた少なくとも1種類の材料から形成するのが好ましい。密着層形成材料の適当な例は、以下に列举するものに限定されるわけではないけれども、Pt, Ir, Zr, Ti, TiO_x , IrO_x , PtO_x , ZrO_x , TiN, TiAlN, TaN, TaSiNなどを包含する。密着層は、単層の形で使用してもよく、さもないければ、2層以上の多層構造体の形で使用してもよい。いずれの場合にも、密着層の厚さは広い範囲で変更することができ、好ましくは、約 $1 \sim 1,000 \text{ nm}$ の範囲であり、さらに好ましくは、約 $1 \sim 100 \text{ nm}$ の範囲である。

【0044】

キャパシタ素子において、下部電極層は、いろいろな導電性材料から形成することができるけれども、遷移金属、貴金属、貴金属の合金、貴金属と非貴金属の合金、導電性酸化物及びその組み合わせもしくは混合物からなる群から選ばれた少なくとも1種類の導電性材料から形成することが好ましい。下部電極層形成材料の適当な例は、以下に列举するものに限定されるわけではないけれども、Pt, Pd, Ir, Ru, Rh, Re, Os, Au, Ag, Cu, Cr, PtO_x , IrO_x 及び RuO_x （式中、 x は、正の整数である）からなる群から選ばれた少なくとも1種類の材料を包含す

る。下部電極層は、単層の形で使用してもよく、さもないければ、2層以上の多層構造体の形で使用してもよい。いずれの場合にも、下部電極層の厚さは広い範囲で変更することができ、好ましくは、約1～1,000 nmの範囲であり、さらに好ましくは、約1～100 nmの範囲である。

【0045】

また、上部電極層は、いろいろな導電性材料から形成することができるけれども、遷移金属、貴金属、貴金属の合金、貴金属と非貴金属の合金、導電性酸化物及びその組み合わせもしくは混合物からなる群から選ばれた少なくとも1種類の導電性材料から形成することが好ましい。上部電極層形成材料の適当な例は、以下に列挙するものに限定されるわけではないけれども、Pt, Pd, Ir, Ru, Rh, Re, Os, Au, Ag, Cu, Cr, PtO_x, IrO_x, RuO_x, SrRuO₃ 及び LaNiO₃ (式中、xは、正の整数である) からなる群から選ばれた少なくとも1種類の材料を包含する。上部電極層は、単層の形で使用してもよく、さもないければ、2層以上の多層構造体の形で使用してもよい。いずれの場合にも、上部電極層の厚さは広い範囲で変更することができ、好ましくは、約1～1,000 nmの範囲であり、さらに好ましくは、約1～100 nmの範囲である。

【0046】

以上の層の他に、キャパシタ素子は、もしも許容し得るのであるならば、その上部電極層の上にパッシベーション膜をさらに含むこともできる。パッシベーション膜の適当な例は、以下に列挙するものに限定されるわけではないけれども、窒化シリコン層、酸化シリコン (SiO₂) 層、酸化アルミニウム (アルミナ) 層などを包含する。窒化シリコン層を使用するのが好ましい。パッシベーション膜の厚さは広い範囲で変更することができるというものの、好ましくは、約1～1,000 nmの範囲であり、さらに好ましくは、約1～100 nmの範囲である。

【0047】

本発明のキャパシタ素子において、キャパシタ構造体は、キャパシタ素子の表面もしくは裏面の部分あるいはキャパシタ素子の内部に単独もしくは2個以上を組み合わせて作り込むことができる。キャパシタ構造体の作り込みの方法及び手

段は特に限定されるものではなく、常用の方法及び手段を使用することができる。処理の高速化などに対応するため、2個以上のキャパシタ構造体を組み合わせて作り込むことが有利である。また、このような場合、複数のキャパシタ構造体は、デバイスのデザインや所望とする効果などに応じて、直列に接続してもよく、さもないければ、並列に接続してもよい。もちろん、必要ならば、直列接続と並列接続を併用してもよい。

【0048】

本発明は、上記した薄膜キャパシタ素子の他に、本発明による薄膜キャパシタ素子の製造方法にある。本発明による薄膜キャパシタ素子の製造方法は、「課題を解決するための手段」の項に記載したように、基板と、その基板の上に形成された、誘電体層を下部電極層及び上部電極層で挟んで構成されたキャパシタ構造体を含む薄膜キャパシタ素子を製造する方法であって、

基板上に前記キャパシタ構造体を形成した後、前記上部電極層の上に熱硬化性樹脂、光硬化性樹脂及び熱可塑性樹脂からなる群から選ばれた少なくとも1種類の樹脂前駆体を塗布し、さらにそれを硬化させて少なくとも1層の絶縁保護膜を形成することを特徴とする。

【0049】

本発明による薄膜キャパシタ素子の製造方法は、上記した特定の絶縁保護膜の形成工程を除いて、キャパシタ素子及びその他のデバイスの製造においてよく知られ、一般的に使用されている方法をそのまま使用して、あるいは適宜変更した後、有利に実施することができる。適当な方法には、例えば、フォトリソグラフィ法、スパッタリング法、真空蒸着法、エッチング法などがある。よって、本発明方法の実施に用いられる各工程について、ここで詳細に説明することを省略し、成書や特許文献の参照に委ねることとする。

【0050】

参考のために一例を示すと、図4に模式的に示した本発明の薄膜キャパシタ素子は、例えば図5及び図6に順を追って示す一連の工程(A)～(H)で有利に製造することができる。

【0051】

まず、図5 (A) に示すように、支持基板としてのシリコン基板1を用意する。次いで、図4に参照番号11で示すキャパシタ構造体を形成するため、図5 (B) に示す白金からなる下部電極層2、図5 (C) に示す複合酸化物からなる誘電体層3、図5 (D) に示す白金Ptからなる上部電極層4を順次形成する。ここで、誘電体層3の材料としては、小型でかつ大容量を実現するために、高い比誘電率をもつ金属酸化物が有利に使用される。本発明の実施に好適な金属酸化物は、前記した通りである。また、キャパシタ構造体11の電極（下部電極層2及び上部電極層4）の材料としては、高温環境下における耐酸化性に優れ、かつ誘電体層3の形成時における良好な結晶配向制御が可能な、白金PtやイリジウムIr等の貴金属が有利に使用される。

【0052】

これらの一連の製造工程は、具体的には以下のように行なうことができる。

【0053】

図5 (B) に示した下部電極層2の形成工程としては、先ず、シリコン基板1としてシリコンウェハを使用し、該シリコンウェハ上に、スパッタリング法を使用して、酸化チタン TiO_2 (20nm) 及び白金Pt (100nm) を順次成膜させる。酸化チタン TiO_2 (20nm) は、シリコンSiと白金Ptとの密着層（接着層）としての役割を果たすことができる。

【0054】

この時、酸化チタン TiO_2 のスパッタ条件は、例えば、基板温度500℃、RFパワー200W、誘導コイルパワー30W、ガス圧力0.1Pa、及びAr/ O_2 比7/1である。

【0055】

また、白金Ptのスパッタ条件は、例えば、基板温度400℃、DCパワー100W、誘導コイルパワー30W、ガス圧力0.1Paである。

【0056】

図5 (C) に示した誘電体層3の形成工程では、誘電材料としてバリウムBa、ストロンチウムSr、イットリウムY及びチタンTiから構成される金属酸化物、 $Ba_{(1-y)}(1-x)Sr_{(1-y)x}Y_yTi_{1+z}O_{3+\delta}$ を使用し、ゾル・ゲル法により誘電体

層 3 を形成する。

【0057】

具体的には、先ず、アルコキシドからなる出発溶液をスピコート法（例えば、2000 rpm / 30 秒）により成膜する。なお、このスピコート条件では、1 回のスピコートにつき約 100 nm の膜厚が得られる。その後、例えば 400 °C の温度で 10 分間の仮焼成（プリベーク）、及び例えば 700 °C の温度で 10 分間の本焼成（本ベーク）を行なうことにより金属酸化物を結晶化させ、膜厚 100 nm、比誘電率 300、及び誘電損失 2 % 以下の誘電体層 3 を形成する。

【0058】

図 5（D）に示した上部電極層 4 の形成工程では、誘電体層 3 上に、下部電極層 2 の形成と同様にスパッタリング法を使用して、上部電極層 4 としての白金 Pt 層を膜厚 100 nm で成膜する。

【0059】

再び図 4 を参照すると、キャパシタ構造体 11 の側面は、図示されるように、下の層の端部が、上の層の端部よりも外側に張り出した、階段状に形成される。キャパシタ構造体 11 にこのような階段状の張り出し部を設けると、製造過程で白金材の断片（パーティクル）が発生した場合、その張り出し部で断片を受け止め、断片が誘電体層の側面に付着し、電極間のショートを引き起こすことを防止できる。

【0060】

次いで、図 5（E）に示すように、下部電極層 2 からの電極引き出し用穴 21 を形成する。具体的には、フォトリソグラフィ法によりレジストマスクを形成した後、アルゴン Ar イオンミリング法により、上部電極層 4 を構成する Pt 膜とその下の誘電体層 3 を順次ドライエッチングする。なお、従来の方法では、上記のようにして電極引き出し用穴 21 を形成した後、キャパシタ構造体 11 の上面及び側面を覆うように、窒化シリコン Si₃N₄ のスパッタリングなどによってバリア層を形成するのが一般的であるが、本発明では、そのような工数を増加させる処理工程は不要である。

【0061】

引き続いて、図 6 (F) に示すように、キャパシタ構造体 11 の上に、それを覆うようにして、本発明に従いエポキシ樹脂などからなる絶縁保護膜 5 を形成する。

【0062】

具体的には、まず、感光性エポキシ樹脂のワニス、例えば 3000 rpm で 30 秒間スピンコートを行ない、4 μ m の膜厚で成膜する。次いで、60℃の温度で 10 分間、加熱（プリベーク）し、その後、露光、現像工程を経て、200℃の温度で 1 時間、加熱（本ベーク）を行なう。2 μ m 厚のエポキシ樹脂膜からなる絶縁保護膜 5 が得られる。

【0063】

次いで、絶縁保護膜 5 の所定の部位に、図示されるようなコンタクトホール 22 を選択的に形成する。具体的には、フォトリソグラフィ法により図示しないレジストマスクを形成した後、アルゴン Ar イオンミリング法によりドライエッチングすることにより、絶縁保護膜 5 の不要部分を選択的に除去し、下部電極層 2 を露出させる。

【0064】

引き続いて、電極パッド及びバンプの形成工程に移行する。

【0065】

図 6 (G) に示すように、コンタクトホール 22 に銅 (Cu) をめっきにより埋め込み、Cu 埋め込み配線層 6 及び 16 を形成する。さらに、Cu 埋め込み配線層 6 及び 16 の上に、キャパシタ構造体 11 の各電極層とバンプとを接続するアンダーバンプメタル (UBM) として電極パッド 6a 及び 16a を、それぞれスパッタリング法及びめっきにより形成する。

【0066】

最後に、図 6 (H) に示すように、形成した電極パッド 6 及び 16 の上に、それぞれ、回路基板と電気的な接続を行なう端子としてのバンプ 7 及び 17 を形成する。なお、バンプ 7 及び 17 の材料としては、一般にはんだが使用されるが、はんだ材料が電極パッド中に拡散して、電極層を構成する白金 Pt と反応し、該白金の抵抗値を変えてしまう等の問題が起こり得る。そのため、電極パッドの材

料としては、上記のようなはんだ侵食の回避、はんだ濡れ性の向上等を考慮して、クロムCr、チタンTi、銅Cu、ニッケルNi等を使用することが望ましい。

【0067】

以上の製造工程により、図4に示した薄膜キャパシタ素子10を製造することができる。この薄膜キャパシタ素子10の場合、絶縁保護膜5が吸水性、吸湿性を有しないので、ポリイミド樹脂を絶縁保護膜に使用した場合の問題点（ポリイミド樹脂から放出された水分がイオン化されていない状態で、触媒作用を有するPt電極部に到達し、上部電極層4と誘電体層3との界面で、誘電体層3を構成する金属酸化物が還元され、素子の特性が劣化するという問題点）を解決することができる。このような構成を採用すると、優れた高周波追従特性が得られるとともに、特性劣化の少ない薄膜キャパシタ素子10を提供することが可能となる。

【0068】

さらに加えて、本発明は、上述のような本発明による薄膜キャパシタ素子を搭載した電子装置にある。ここで、薄膜キャパシタ素子の搭載方法や搭載部位は特に限定されるものではなく、例えば、本発明のキャパシタ素子をデバイスの上部及び（又は）内部に搭載することができる。すなわち、本発明の電子装置は、少なくとも1個の電子素子及び少なくとも1個の本発明の薄膜キャパシタ素子を含んでなることを特徴とする。

【0069】

本発明による電子装置において、それに搭載されるべき電子素子は、特に限定されるものではない。本発明の実施に好適な電子素子の例は、以下に列挙するものに限定されるわけではないけれども、電子装置で常用の素子、例えばキャパシタ、レジスタ、インダクタ、半導体素子、例えばLSIチップ、VLSIチップ等、配線、電極などを包含する。また、したがって、本発明の電子装置は、広範囲の電子装置、例えば半導体装置などを包含する。電子装置の典型的な例は、以下に列挙するものに限定されるわけではないけれども、マイクロ波及びRFデバイス、デカップリングキャパシタ用の電荷蓄積デバイス、DRAMデバイス、そ

の他を包含する。

【0070】

前記した通り、本発明の薄膜キャパシタ素子は、複数個を組み合わせて電子装置に搭載する場合、直列もしくは並列のいずれにも接続することができる。

【0071】

【実施例】

引き続き、本発明をその実施例を参照して説明する。なお、本発明は、これらの実施例によって限定されるものでないことは言うまでもない。

実施例 1

本例では、先に図 4 を参照して説明した層構成をもった薄膜キャパシタ素子を製造した。すなわち、本例の薄膜キャパシタ素子は、シリコンウエハの加工によって形成されたシリコン基板の上に、下部電極層、誘電体層及び上部電極層からなるキャパシタ構造体を備え、そのキャパシタ構造体の上面を本発明による絶縁保護膜が被覆している。

【0072】

シリコン基板を熱酸化してその表面にシリコン酸化膜 (SiO_2) を形成した後、その SiO_2 膜の上に RF マグネトロンスパッタ法を使用して TiO_2 からなる密着層を膜厚 20 nm で形成した。このとき、 TiO_2 膜のスパッタリング条件は、基板温度：500℃、RF パワー：200 W、ガス圧力：0.1 Pa、Ar/ O_2 比：7/2 であった。

【0073】

次いで、下部電極層を形成するため、白金 (Pt) を DC マグネトロンスパッタ法で成膜した。膜厚 100 nm の下部電極層が得られた。なお、Pt 膜のスパッタリング条件は、基板温度：400℃、DC パワー：100 W、Ar ガス圧力：0.1 Pa であった。

【0074】

下部電極層の形成後、バリウムストロンチウムチタネート ($\text{Ba}_{0.7}\text{Sr}_{0.3}\text{TiO}_3$ (BST)) を出発物質として使用して、ゾルーゲル法によって誘電体層を成膜した。本例で使用した BST は、比較的大きな比誘電率 (バルクでは約 1,500)

を持ち、小型で大容量のキャパシタ素子を実現するのに有効な材料である。具体的には、アルコキシドからなる出発溶液をスピコート法（2,000 rpm／30秒）で成膜した。1回のスピコートで、約100 nmの膜厚が得られた。次いで、仮焼成（400℃／10分）及び本焼成（700℃／10分）を順次実施し、BSTを結晶化させた。膜厚100 nm、比誘電率300及び誘電損失2%以下のBST薄膜からなる誘電体層が得られた。

【0075】

その後、下部電極層の形成の場合と同様な手法に従って、白金（Pt）をDCマグネトロンスパッタ法で成膜して膜厚100 nmの上部電極層を形成した。

【0076】

さらに続けて、上部電極層、誘電体層（BST薄膜）及び下部電極層を順次エッチングしてコンタクトホールを選択的に形成した。

【0077】

コンタクトホールの形成のため、上部電極層の上にフォトレジスト（商品名「AZP4620」、クラリアントジャパン社製）を塗布して硬化させ、さらにそのレジスト膜をパターニングしてレジストマスクを形成した。次いで、レジストマスクの存在下、下地の上部電極層及び誘電体層をArイオンミリング法により順次ドライエッチングした。所望のコンタクトホールが形成され、下部電極層が露出した。

【0078】

次いで、エポキシ樹脂を使用して絶縁保護膜を形成した。感光性エポキシ樹脂のワニス（商品名「WPR-10」、JSR社製）をスピコート法（3,000 rpm／30秒）で4 μmの厚さで成膜した。次いで、プリベーク（60℃／10分）後に露光・現像工程を経て本ベーク（200℃／1時間）を行った。膜厚2 μmのエポキシ樹脂膜からなる絶縁保護膜が得られた。

【0079】

上記のようにして絶縁保護膜を形成した後、コンタクトホールの部分に銅（Cu）をめっきにより充填してCu埋め込み配線層を形成し、さらにそのCu埋め込み配線層の上面にアンダーバンプメタル（UBM）としての電極パッドをCu

めっきによって形成した。

【0080】

最後に、形成した電極パッドの上に回路基板と電気的な接続を行なう端子としてのはんだバンプを形成した。図4に示したような薄膜キャパシタ素子が完成した。

【0081】

得られた薄膜キャパシタ素子について、その静電容量及び誘電損失の電圧依存性を測定したところ、図3にプロットしたようなグラフが得られた。図中、曲線I (C) 及びII (C) は、それぞれ、エポキシ樹脂からなる保護膜を形成する前と後のC-V特性を表し、また、曲線I (D) 及びII (D) は、それぞれ、エポキシ樹脂からなる保護膜を形成する前と後のD-V特性を表す。図3のグラフから理解されるように、本発明に従って薄膜キャパシタ素子の絶縁保護膜を形成した場合、誘電体層に対する水分の悪影響を阻止できる結果、静電容量及び誘電損失の両方を安定に保持することができ、素子特性の劣化を防止できる。

実施例2

前記実施例1に記載の手法を繰り返したが、本例では、絶縁保護膜の材料として、エポキシ樹脂に代えてベンゾシクロブテン (BCB) 樹脂を使用した。

【0082】

シリコン基板上に形成したSiO₂膜の上にRFマグネトロンスパッタ法を使用してTiO₂からなる密着層を膜厚20nmで形成した。

【0083】

次いで、白金 (Pt) をDCマグネトロンスパッタ法で成膜して下部電極層を膜厚100nmで形成した。また、本例の場合、参考のために、Pt膜に代えてイリジウム (Ir) 膜からも下部電極層及び以下に説明する上部電極層を形成したが、得られた薄膜キャパシタ素子の特性は、比較可能に良好であった。

【0084】

下部電極層の形成後、バリウムストロンチウムチタネート (Ba_{0.7}Sr_{0.3})TiO₃ (BST) を出発物質として使用して、RFマグネトロンスパッタ法を使用して誘電体層を形成した。このとき、BST膜のスパッタリング条件は、基板温度：6

00℃、RFパワー：800W、ガス圧力：0.4Pa、Ar/O₂比：8/1であった。膜厚100nm、比誘電率400及び誘電損失1%以下のBST薄膜からなる誘電体層が得られた。

【0085】

その後、下部電極層の形成の場合と同様な手法に従って、白金(Pt)又はイリジウム(Ir)をDCマグネトロンスパッタ法で成膜して膜厚100nmの上部電極層を形成した。

【0086】

さらに続けて、上部電極層、誘電体層(BST薄膜)及び下部電極層を順次エッチングしてコンタクトホールを選択的に形成した。

【0087】

コンタクトホールの形成のため、上部電極層の上にフォトレジスト(商品名「AZP4620」、クラリアントジャパン社製)を塗布して硬化させ、さらにそのレジスト膜をパターンニングしてレジストマスクを形成した。次いで、レジストマスクの存在下、下地の上部電極層及び誘電体層をArイオンミリング法により順次ドライエッチングした。所望のコンタクトホールが形成され、下部電極層が露出した。

【0088】

次いで、BCB樹脂を使用して絶縁保護膜を形成した。BCB樹脂のワニス(商品名「CYCLOTENE4024」、ダウケミカル(日本)社製)をスピコート法(2,000rpm/30秒)で4.5μmの厚さで成膜した。次いで、プリベーク(70℃/20分)後に露光・現像工程を経て本ベーク(250℃/1時間)を行った。膜厚3μmのBCB樹脂膜からなる絶縁保護膜が得られた。

【0089】

上記のようにして絶縁保護膜を形成した後、コンタクトホールの部分に銅(Cu)をめっきにより充填してCu埋め込み配線層を形成し、さらにそのCu埋め込み配線層の上面にアンダーバンプメタル(UBM)としての電極パッドをCuめっきによって形成した。最後に、形成した電極パッドの上に回路基板と電氣的

な接続を行なう端子としてのはんだバンプを形成した。

【0090】

得られた薄膜キャパシタ素子について、その静電容量及び誘電損失の電圧追従性を測定したところ、前記実施例1の場合と同様、両特性とも安定に保持でき、素子特性に劣化がないことが確認された。

【0091】

以上、本発明をその実施の形態及び実施例について詳細に説明した。最後に、本発明の好ましい態様を整理すると、以下に付記する通りである。

【0092】

(付記1) 基板と、その基板の上に形成された、誘電体層を下部電極層及び上部電極層で挟んで構成されたキャパシタ構造体とを含む薄膜キャパシタ素子であって、

前記キャパシタ構造体の上部が硬化樹脂からなる少なくとも1層の絶縁保護膜で被覆されているとともに、前記硬化樹脂が、熱硬化性樹脂、光硬化性樹脂及び熱可塑性樹脂からなる群から選ばれた少なくとも1種類の樹脂前駆体から形成されたものであることを特徴とする薄膜キャパシタ素子。

【0093】

(付記2) 前記樹脂前駆体の硬化時、その樹脂前駆体から放出せしめられた水分の量が、当該樹脂前駆体の0.01重量%以下であることを特徴とする付記1に記載の薄膜キャパシタ素子。

【0094】

(付記3) 前記硬化樹脂が、エポキシ樹脂、ビスマレイミド・トリアジン(BT)樹脂、ポリテトラフルオロエチレン(PTFE)樹脂、ベンゾシクロブテン(BCB)樹脂、アクリル樹脂及びジアリルフタレート樹脂からなる群から選ばれた少なくとも1種類の樹脂であることを特徴とする付記1又は2に記載の薄膜キャパシタ素子。

【0095】

(付記4) 前記絶縁保護膜が多層構造を有していることを特徴とする付記1～3のいずれか1項に記載の薄膜キャパシタ素子。

【0096】

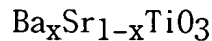
(付記5) 前記キャパシタ構造体の上部に前記絶縁保護膜が直に被覆されていることを特徴とする付記1～4のいずれか1項に記載の薄膜キャパシタ素子。

【0097】

(付記6) 前記キャパシタ構造体において、前記誘電体層が、Sr, Ba, Pb, Zr, Bi, Ta, Ti, Mg及びNbからなる群から選ばれた少なくとも1種類の金属を含む複合金属酸化物からなることを特徴とする付記1～5のいずれか1項に記載の薄膜キャパシタ素子。

【0098】

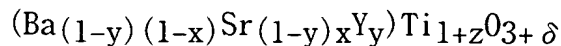
(付記7) 前記キャパシタ構造体において、前記誘電体層が、次式により表される複合金属酸化物：



(式中、xは、正の整数である) からなることを特徴とする付記1～5のいずれか1項に記載の薄膜キャパシタ素子。

【0099】

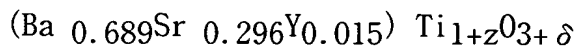
(付記8) 前記キャパシタ構造体において、前記誘電体層が、次式により表される複合金属酸化物：



(上式において、 $0 < x < 1$ であり、 $0.007 < y < 0.02$ であり、 $-1 < \delta < 0.5$ であり、そして $(\text{Ba}_{(1-y)}(\text{1-x}) + \text{Sr}_{(1-y)x})/\text{Ti}_{1+z} < 1$ である) からなることを特徴とする付記1～5のいずれか1項に記載の薄膜キャパシタ素子。

【0100】

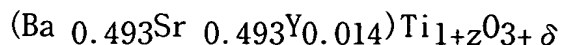
(付記9) 前記複合金属酸化物が、次式：



によって表され、式中、 $0.02 < z < 0.05$ 及び $-0.3 < \delta < 0.3$ であることを特徴とする付記8に記載の薄膜キャパシタ素子。

【0101】

(付記10) 前記複合金属酸化物が、次式：



によって表され、式中、 $0.02 < z < 0.05$ 及び $-0.3 < \delta < 0.3$ であることを特徴とする付記 8 に記載の薄膜キャパシタ素子。

【0102】

(付記 11) 前記誘電体層が、 $1 \sim 3, 000 \text{ nm}$ の厚さを有することを特徴とする付記 1～10のいずれか 1 項に記載の薄膜キャパシタ素子。

【0103】

(付記 12) 前記基板が、ガラス、半導体材料及び樹脂材料からなる群から選ばれた絶縁材料からなることを特徴とする付記 1～11のいずれか 1 項に記載の薄膜キャパシタ素子。

【0104】

(付記 13) 前記基板が、半導体材料もしくはウエハからなることを特徴とする付記 1～12のいずれか 1 項に記載の薄膜キャパシタ素子。

【0105】

(付記 14) 前記半導体材料もしくはウエハが、Si, Ge, SiGe, GaAs, InAs, InP 及び周期律表の第III族及び第V族の元素から誘導されたその他の化合物からなることを特徴とする付記 13 に記載の薄膜キャパシタ素子。

【0106】

(付記 15) 前記基板と前記キャパシタ構造体の間に密着層をさらに含むことを特徴とする付記 1～14のいずれか 1 項に記載の薄膜キャパシタ素子。

【0107】

(付記 16) 前記密着層が、貴金属、貴金属の合金、貴金属と非貴金属の合金、貴金属の導電性酸化物、絶縁性の金属酸化物、絶縁性の金属窒化物、導電性の金属窒化物及びその組み合わせもしくは混合物からなる群から選ばれた少なくとも 1 種類の材料を含むことを特徴とする付記 15 に記載の薄膜キャパシタ素子。

【0108】

(付記 17) 前記密着層が、Pt, Ir, Zr, Ti, TiO_x , IrO_x , PtO_x , ZrO_x , TiN, TiAlN , TaN 及び TaSiN からなる群から選ばれた少なくとも 1 種類の材料を含むことを特徴とする付記 15 又は 16 に記載の薄膜キャパシタ素子。

【0109】

(付記18) 前記密着層が多層構造を有していることを特徴とする付記15～17のいずれか1項に記載の薄膜キャパシタ素子。

【0110】

(付記19) 前記下部電極層が、遷移金属、貴金属、貴金属の合金、貴金属と非貴金属の合金、導電性酸化物及びその組み合わせもしくは混合物からなる群から選ばれた少なくとも1種類の材料を含むことを特徴とする付記1～18のいずれか1項に記載の薄膜キャパシタ素子。

【0111】

(付記20) 前記下部電極層が、Pt, Pd, Ir, Ru, Rh, Re, Os, Au, Ag, Cu, Cr, PtO_x, IrO_x 及び RuO_x (式中、xは、正の整数である) からなる群から選ばれた少なくとも1種類の材料を含むことを特徴とする付記1～19のいずれか1項に記載の薄膜キャパシタ素子。

【0112】

(付記21) 前記下部電極層が多層構造を有していることを特徴とする付記1～20のいずれか1項に記載の薄膜キャパシタ素子。

【0113】

(付記22) 前記上部電極層が、遷移金属、貴金属、貴金属の合金、貴金属と非貴金属の合金、導電性酸化物及びその組み合わせもしくは混合物からなる群から選ばれた少なくとも1種類の材料を含むことを特徴とする付記1～21のいずれか1項に記載の薄膜キャパシタ素子。

【0114】

(付記23) 前記上部電極層が、Pt, Pd, Ir, Ru, Rh, Re, Os, Au, Ag, Cu, Cr, PtO_x, IrO_x, RuO_x, SrRuO₃ 及び LaNiO₃ (式中、xは、正の整数である) からなる群から選ばれた少なくとも1種類の材料を含むことを特徴とする付記1～22のいずれか1項に記載の薄膜キャパシタ素子。

【0115】

(付記24) 前記上部電極層が多層構造を有していることを特徴とする付記1～23のいずれか1項に記載の薄膜キャパシタ素子。

【0 1 1 6】

(付記 2 5) 前記上部電極層の上に、パッシベーション膜をさらに含むことを特徴とする付記 1 ～ 2 4 のいずれか 1 項に記載の薄膜キャパシタ素子。

【0 1 1 7】

(付記 2 6) 前記パッシベーション膜が、窒化シリコン層を含むことを特徴とする付記 2 5 に記載の薄膜キャパシタ素子。

【0 1 1 8】

(付記 2 7) 基板と、その基板の上に形成された、誘電体層を下部電極層及び上部電極層で挟んで構成されたキャパシタ構造体とを含む薄膜キャパシタ素子を製造する方法であって、

基板上に前記キャパシタ構造体を形成した後、前記上部電極層の上に熱硬化性樹脂、光硬化性樹脂及び熱可塑性樹脂からなる群から選ばれた少なくとも 1 種類の樹脂前駆体を塗布し、さらにそれを硬化させて少なくとも 1 層の絶縁保護膜を形成することを特徴とする薄膜キャパシタ素子の製造方法。

【0 1 1 9】

(付記 2 8) 前記樹脂前駆体の硬化時、その樹脂前駆体から放出せしめられる水分の量を当該樹脂前駆体の 0. 0 1 重量%以下に抑えることを特徴とする付記 2 7 に記載の薄膜キャパシタ素子の製造方法。

【0 1 2 0】

(付記 2 9) 前記絶縁保護膜を、エポキシ樹脂、ビスマレイミド・トリアジン (B T) 樹脂、ポリテトラフルオロエチレン (P T F E) 樹脂、ベンゾシクロブテン (B C B) 樹脂、アクリル樹脂及びジアリルフタレート樹脂からなる群から選ばれた少なくとも 1 種類の硬化樹脂から形成することを特徴とする付記 2 7 又は 2 8 に記載の薄膜キャパシタ素子の製造方法。

【0 1 2 1】

(付記 3 0) 前記キャパシタ構造体の上に前記絶縁保護膜を直に形成することを特徴とする付記 2 7 ～ 2 9 のいずれか 1 項に記載の薄膜キャパシタ素子の製造方法。

【0 1 2 2】

(付記 3 1) 前記基板と前記キャパシタ構造体の下部電極層の間に密着層を形成する工程をさらに含むことを特徴とする付記 2 7 ~ 3 0 のいずれか 1 項に記載の薄膜キャパシタ素子の製造方法。

【0 1 2 3】

(付記 3 2) 少なくとも 1 個の電子素子及び少なくとも 1 個の、付記 1 ~ 2 6 のいずれか 1 項に記載の薄膜キャパシタ素子を含んでなることを特徴とする電子装置。

【0 1 2 4】

(付記 3 3) 前記電子素子が、常用タイプのキャパシタ、レジスタ、インダクタ、半導体素子、配線層及び電極層からなる群から選ばれることを特徴とする付記 3 2 に記載の電子装置。

【0 1 2 5】

【発明の効果】

以上に詳細に説明したように、本発明によれば、薄膜キャパシタ素子のキャパシタ構造体の上に特定の絶縁保護膜を被覆したので、電極層中への水素の進入を抑止することができるようになり、従来の方法において樹脂硬化時において生じていた水→水素による酸化物誘電体薄膜の酸素欠損などの膜へのダメージをなくすことができ、よって、薄膜キャパシタ素子及びひいては電子装置の信頼性の向上及び特性寿命を延伸させることが可能となる。

【図面の簡単な説明】

【図 1】

従来の薄膜キャパシタ素子においてポリイミド樹脂を保護膜に使用した場合の C-V (静電容量-印加電圧) 特性をプロットしたグラフである。

【図 2】

従来の薄膜キャパシタ素子においてポリイミド樹脂を保護膜に使用した場合の D-V (誘電損失-印加電圧) 特性をプロットしたグラフである。

【図 3】

本発明の薄膜キャパシタ素子において特定の硬化樹脂を保護膜に使用した場合の、C-V (静電容量-印加電圧) 特性及び D-V (誘電損失-印加電圧) 特性

をあわせてプロットしたグラフである。

【図 4】

本発明による薄膜キャパシタ素子の好ましい 1 実施形態を模式的に示した断面図である。

【図 5】

図 4 に示した薄膜キャパシタ素子の製造方法の前半を順に示した断面図である。

【図 6】

図 4 に示した薄膜キャパシタ素子の製造方法の後半を順に示した断面図である。

【符号の説明】

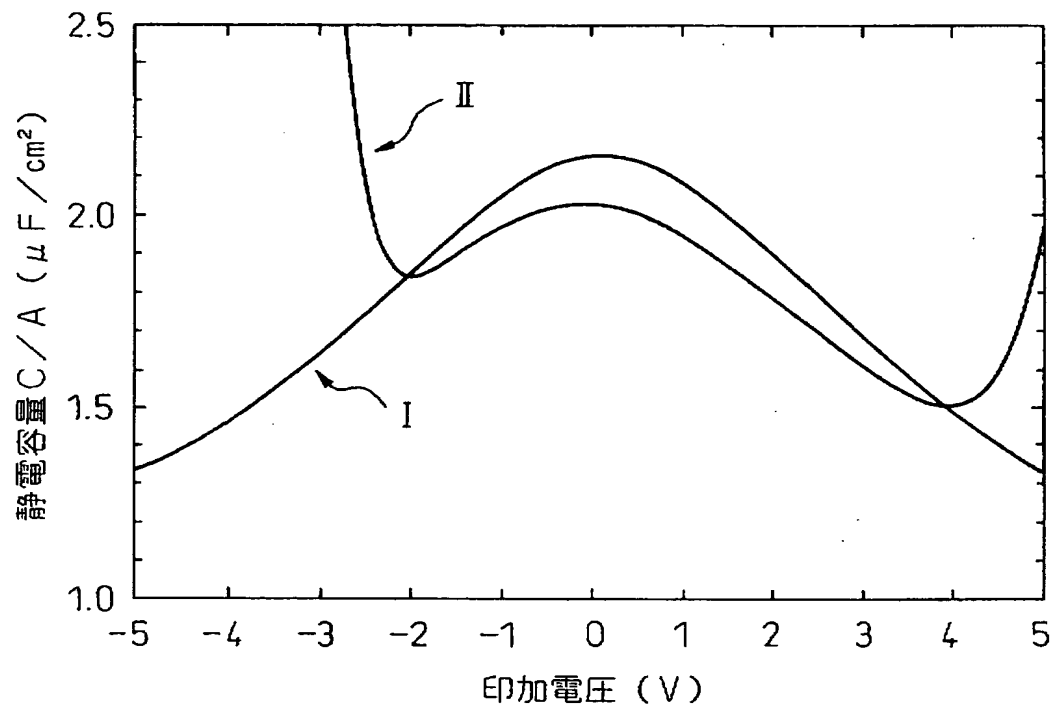
- 1…基板
- 2…下部電極層
- 3…誘電体層
- 4…上部電極層
- 5…絶縁保護膜
- 6…銅埋め込み配線層
- 6 a…電極パッド
- 7…はんだバンプ
- 10…薄膜キャパシタ素子
- 11…キャパシタ構造体
- 20…半導体素子

【書類名】

図面

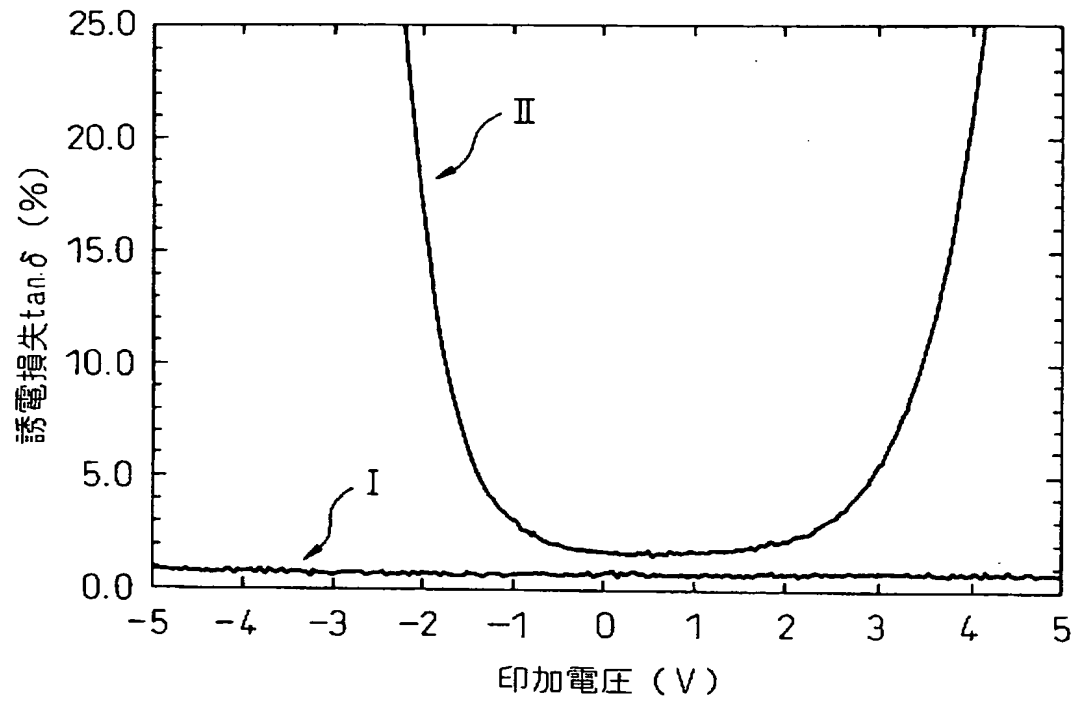
【図 1】

図 1



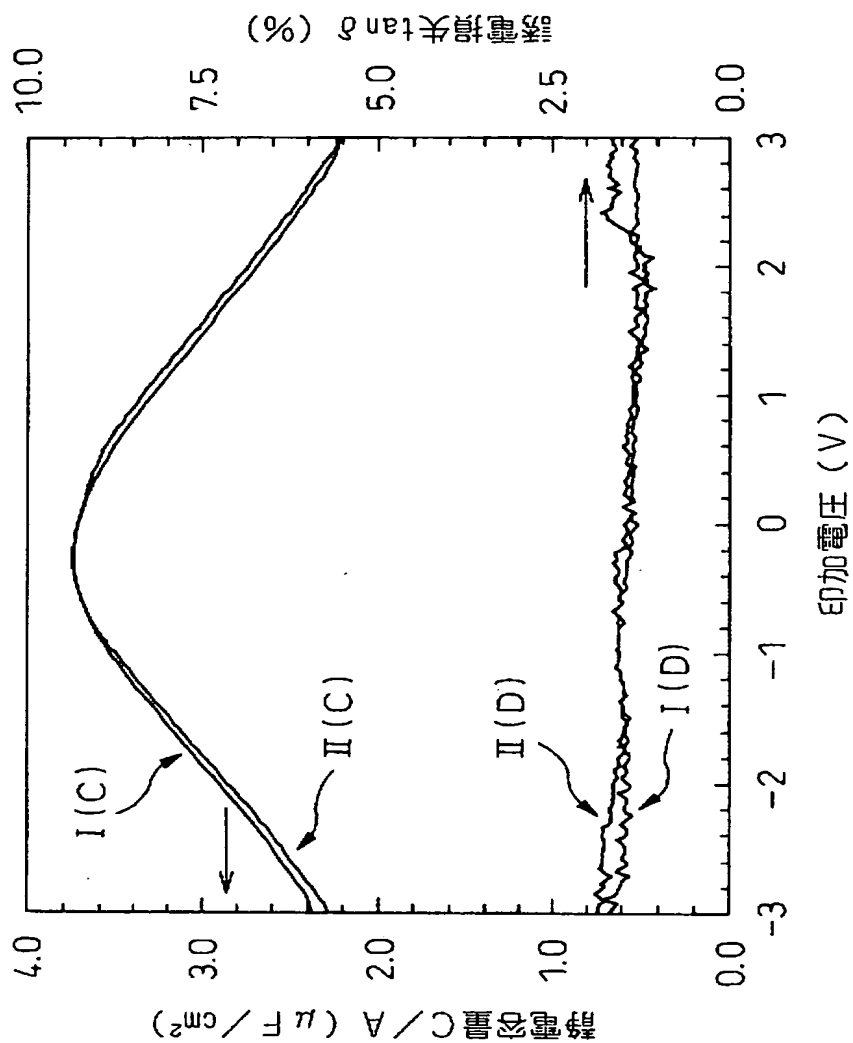
【図2】

図2



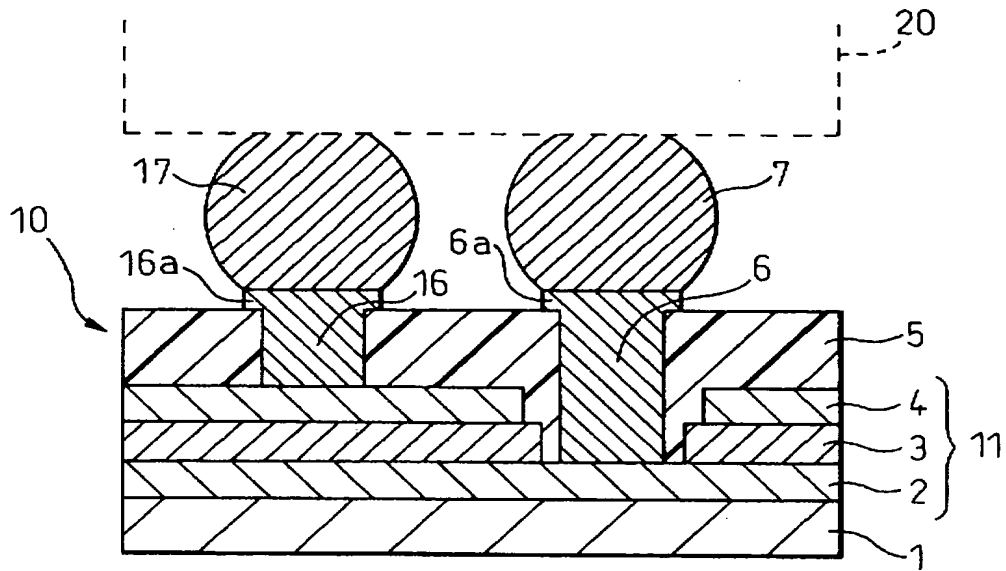
【図 3】

図 3



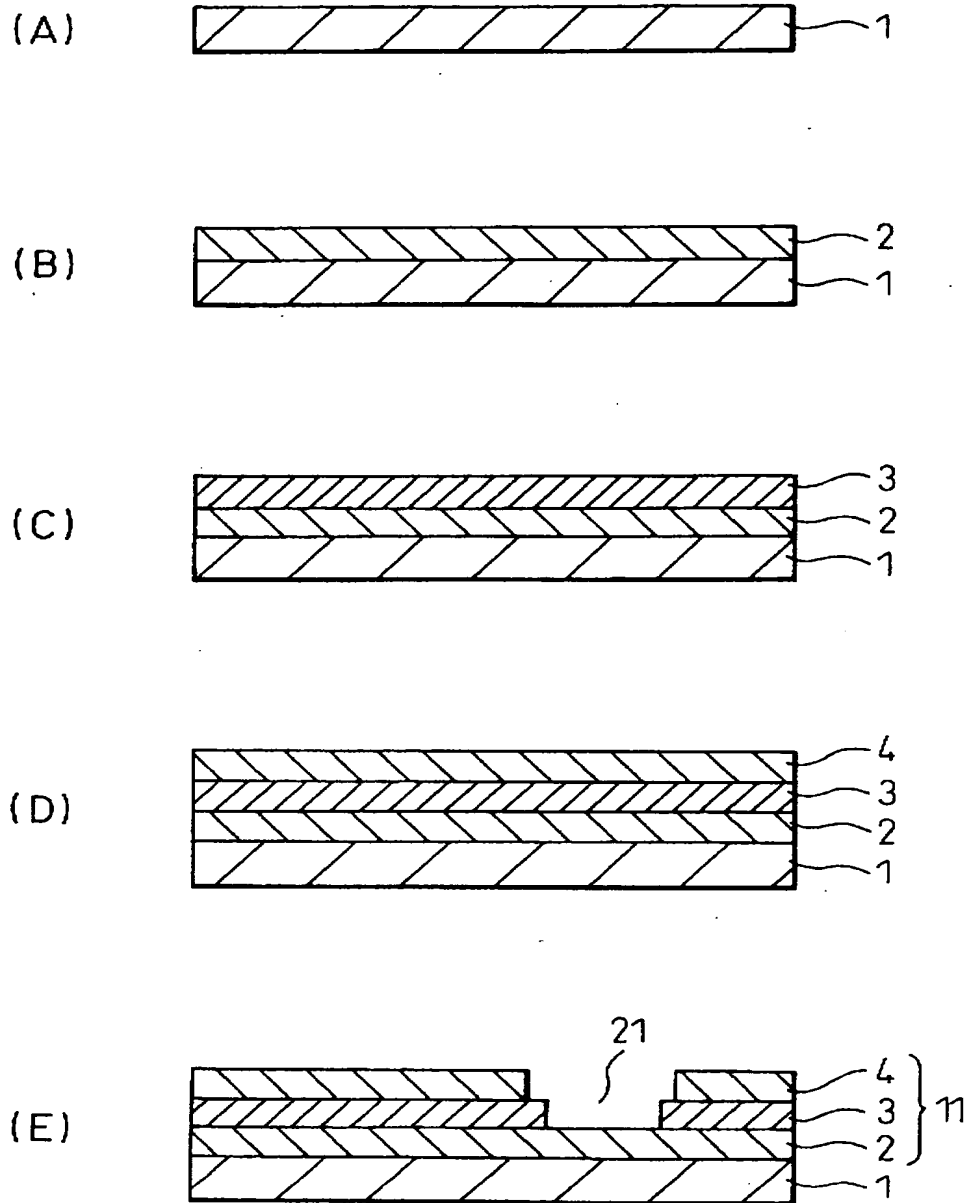
【図 4】

図 4



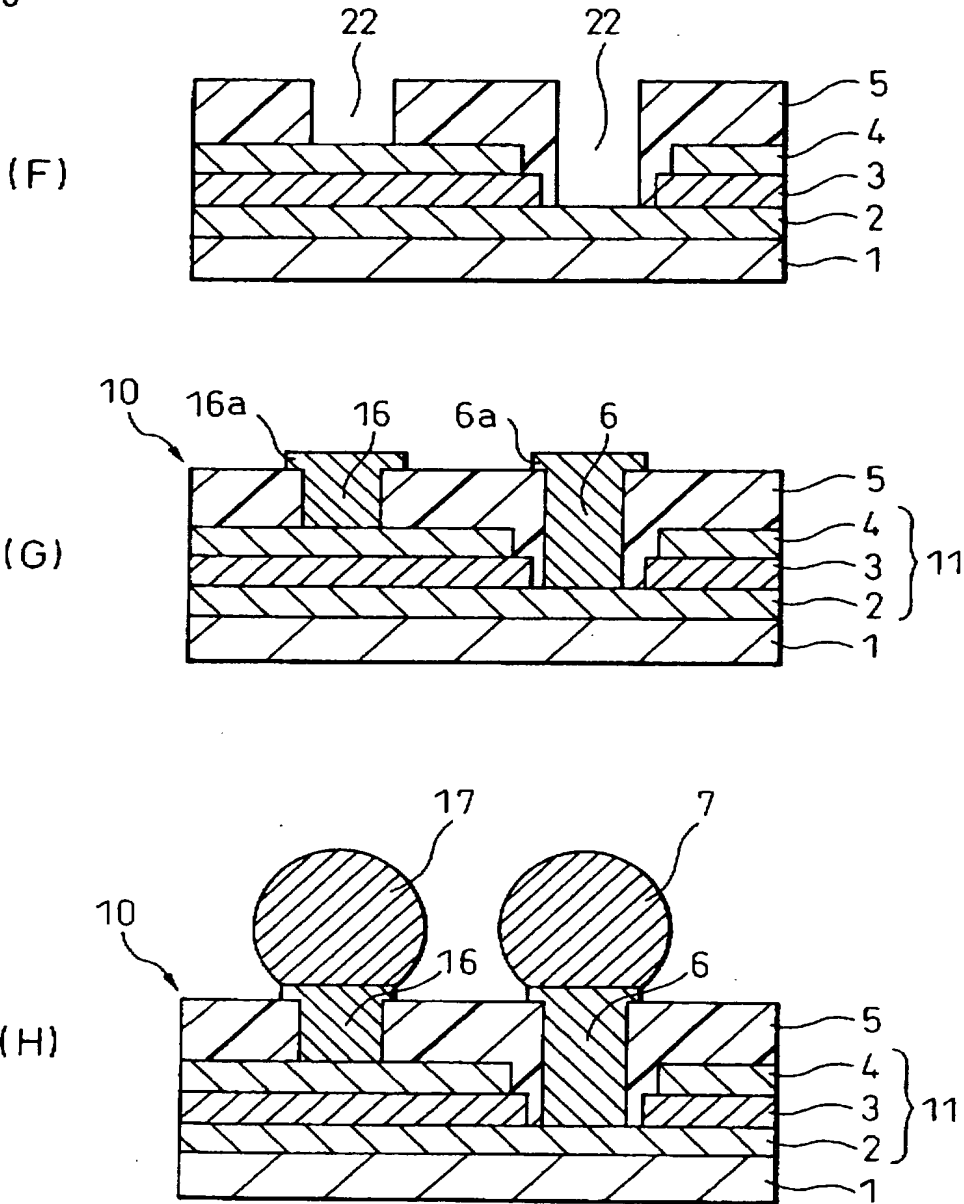
【図 5】

図 5



【図 6】

図 6




【書類名】 要約書

【要約】

【課題】 薄膜キャパシタ素子において、電極層中への水素の進入を抑止して、樹脂硬化時において生じていた水→水素による酸化物誘電体薄膜の酸素欠損などの膜へのダメージをなくすこと。

【解決手段】 キャパシタ構造体の上が硬化樹脂からなる少なくとも1層の絶縁保護膜で被覆されているとともに、前記硬化樹脂が、熱硬化性樹脂、光硬化性樹脂及び熱可塑性樹脂からなる群から選ばれた少なくとも1種類の樹脂前駆体から形成されたものであるように構成する。

【選択図】 図4



特願 2 0 0 3 - 0 6 3 5 5 8

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 1 0 1 5 番地

氏 名

富士通株式会社

2. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社